

Jan
22
1994

#4
08 376347

대한민국 특허청

THE KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that annexed hereto is a true copy from the records of the Korean Industrial Property Office of the following application as filed

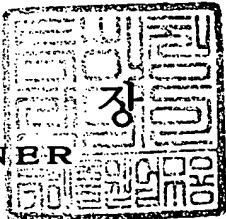
출원번호 : 1994년 특허출원 제 1124 호
Application Number

출원년월일 : 1994년 1월 21일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

1994년 10월 19일

특허청
COMMISSIONER



IPC 분류 기호	주분류			방 식 심 사 란	출원번호	01124	
	부분류				담당	심사관	
		21			심	2	
접수 인란			(2) 특허 출원서				
출원인	성명	삼성전자 주식회사 대표이사 김 광 호			출원인코드	14001979	
	주소	경기도 수원시 팔달구 매탄동 416번지 (우: 440-370)					
	국적	대한민국					
대리인	성명	이 건 주		전산코드번호	453→H245		
	주소	서울특별시 강남구 대치동 995-21번지					
	성명	이희춘	주민등록번호	650425-1011740	국적	대한민국	
발명자	주소	서울시 강남구 일원동 688 주공아파트 913-206					
	성명	주민등록번호				국적	
	주소						
	성명	주민등록번호				국적	
	주소						
	성명	주민등록번호				국적	
	주소						
	성명	주민등록번호				국적	
주소							
발명의명칭	반도체메모리장치의 기판전압발생회로						
특허법 제42조의 규정에 의하여 위와 같이 출원합니다.							
1994년 1월 21일							
대리인. 변리사 이 건							
특허청장 구하							
구비서류 : 1. 출원서 부본 2통 2. 명세서, 요약서 및 도면 부본 2통 3. 위임장 1통 4. 출원심사청구서 1통							

명 세 서

1. 발명의 명칭

반도체메모리장치의 기판전압발생회로

2. 도면의 간단한 설명

제1도는 종래기술에 의한 기판전압발생회로의 개략적 블럭구성을 보여주는 도면.

제2도는 본 발명에 의한 기판전압발생회로의 개략적 블럭구성을 보여주는 도면.

제3도는 제2도의 블럭구성에 따른 기판전압레벨감지회로 26과 그 제어회로 28의 상세회로구성을 보여주는 실시예.

제4도는 제3도의 각 신호들의 타이밍도를 보여주는 도면.

3. 발명의 상세한 설명

본 발명은 반도체메모리장치(semiconductor memory device)에 관한 것으로, 특히 기판(substrate)에 소정의 음(-)전압을 공급하여 디바이스특성을 안정화시키면서 셀프리프레쉬모드(self refresh mode)시에 전류소비를 최대한으로 감소시키도록

하는 기판전압발생회로(substrate bias generator)에 관한 것이다.

통상적으로 하나의 액세스트랜지스터(access transistor)와 하나의 스토리지캐파시터(storage capacitor)로 이루어지는 메모리 셀(memory cell) 구성을 가지는 다이나믹램(dynamic RAM)에 있어서 통상적으로 기판을 피형(P-type)으로 실현하고 있다. 그리고 이와 같이 피형 기판을 사용할 시에 기판에 소정레벨의 음(-)전압을 공급하는 기판전압발생회로를 필수적으로 구비함은 이미 잘 알려진 기술이다. 한편 이러한 기판전압발생회로를 칩 내부에 탑재하여 기판에 음전압을 공급하는 이유는 기판에 접지전압(GND)을 연결한 경우에 비하여 다음과 같은 몇가지의 잇점이 수반 되기 때문이다. 첫째 트랜지스터의 몸체효과(body effect)에 기인하여 발생하는 문턱전압(threshold voltage)의 변화를 최소화할 수 있으며, 또한 펀치-스루우(punch through)전압을 높여주고 접합정전용량(junction capacitance)을 감소시켜 동작속도의 향상을 얻을 수 있다. 둘째 서브드레쉬홀드(sub-threshold) 전류를 줄이면서, 티티엘(TTL)입력단의 입력전압이 언더슈트(undershoot)됨으로써 순방향 바이어스(forward-bias)되는 것을 억제시켜서 메모리장치를 보호해 준다. 이러한 잇점에 나타나는 바와 같이 기판전압발생회로를 사용하여 기판에 일정한 음전압을 공급하면 메모리장치의 성능이 전반적으로 향상된다.

이와 관련하여 1992년 10월 20일자로 미합중국에서 특허등록된 5,157,278호(발명의 명칭: SUBSTRATE VOLTAGE GENERATOR FOR SEMICONDUCTOR DEVICE)는 구동능력이

향상된 기판전압발생회로를 개시하고 있다. 제1도는 상기 특허에 개시된 기판전압 발생회로의 개략적 블럭구성을 도시하고 있다. 제1도의 구성을 살펴보면 기판전압 VBB를 공급하는 전압펌프(voltage pump)회로 6과, 기판전압 VBB의 전압레벨을 검출하는 기판전압레벨감지회로(VBB level detector) 10과, 기판전압레벨감지회로 10의 출력신호를 소정시간동안 지연하여 출력하는 신호지연회로(signal delay circuit) 2와, 신호지연회로 2의 출력신호에 대응하여 발진동작하고 전압펌프회로 6을 구동하는 발진회로(oscillator) 4로 구성된다. 이러한 회로구성으로 부터, 발진회로 4가 동작하게 되면, 이로부터 발생되는 발진신호 ϕ_{OSC} 에 동기되어 전압펌프회로 6의 전압펄핑동작에 의해 기판전압 VBB를 소망의 음(-)전압으로 승압시키게 된다. 한편 점선블럭으로 도시된 기판전압레벨감지회로 10은 상세회로구성이 나타나 있는데, 그 구성은 전원전압 Vcc단자와 접속노드 14와의 사이에 채널(channel)이 접속되고 항상 도통(turn-on)상태로 되는 피모오스트랜지스터 12와, 접속노드 14에 소오스단자가 접속되고 기판전압 VBB에 게이트접속되는 피모오스트랜지스터 16과, 피모오스 트랜지스터 16과 접지전압 Vss단자와의 사이에 채널이 형성되고 항상 도통상태로 되는 엔모오스트랜지스터 18과, 접속노드 14에 입력단자가 접속되고 신호지연회로 2를 구동하는 인버터 20으로 이루어진다. 이 기판전압레벨감지회로 10은, 기판전압 VBB의 레벨을 감지하고 이 감지동작에 대응하여 발진회로 4를 제어하는 회로이다. 따라서 예컨대 기판전압 VBB의 전압레벨이 소망의 음전압레벨 이상으로 되는 것과

같은 경우에는(이때에는 기판전압 VBB의 절대값이 작게 되는 경우이다.) 발진회로 4를 인에이블(enable)시키는 신호를 발생시켜 발진회로 4를 동작케 하여 기판전압 VBB를 소망의 음전압레벨로 승압시키게 한다. 그리고 기판전압 VBB의 전압레벨이 소망의 음전압레벨 이하로 되는 것과 같은 경우에는(이때에는 기판전압 VBB의 절대값이 크게 되는 경우이다.) 발진회로 4를 디세이블(disable)시키는 신호를 발생시켜 발진회로 4의 동작을 정지시켜 기판전압 VBB를 소망의 음전압레벨로 계속 유지되도록 한다. 한편 이 기판전압레벨감지회로 10의 출력신호를 받는 신호지연회로 2는, 기판전압 VBB의 전압레벨이 너무 민감하게 움직이는 것을 방지하여 기판전압발생회로의 동작을 안정화시키게 한다.

한편 기판전압 VBB의 전압레벨을 감지하는 기판전압레벨감지회로 10의 구성에서, 피모오스트랜지스터 16은 기판전압 VBB를 게이트입력함에 따라 기판전압 VBB에 의해 스위칭되어된다. 그래서 기판전압 VBB의 전압레벨이 높으면 접속노드 14에 충전되는 전압레벨이 상승하게 되고, 이로부터 인버터 20은 논리 “로우(low)” 출력을 하게 된다. 이는 발진회로 4가 인에이블되는 경우이다. 그리고 기판전압 VBB의 전압레벨이 낮으면 접속노드 14에 충전되는 전압레벨이 떨어지게 되고, 이로부터 인버터 20은 논리 “하이(high)” 출력을 하게 된다. 이때에는 발진회로 4가 디세이블되는 경우이다. 여기서 기판전압 VBB는 피모오스트랜지스터 16의 채널을 작게 도통시키거나 또는 크게 도통시키는 역할을 하게 되며, 이 피모오스트랜지스터 16의 채널

을 완전히 비도통(turn-off)시키는 역할은 하지 못하게 된다. 따라서 피모오스트랜 지스터 12 및 14와 엔모오스트랜지스터 18은 항상 도통상태로 유지됨에 의해 전원 전압 Vcc단자와 접지전압 Vss단자와의 사이에 직류전류가 흐르게 된다. 또한 접속 노드 14에 충전되어 있는 전압의 레벨도 인버터 20의 트립포인트(trip point) 근처에서 세팅(setting)됨에 의해 인버터 20(이는 통상의 씨모오스인버터로 이루어진다.)내에도 전원전압 Vcc단자와 접지전압 Vss단자와의 사이에 또 다른 직류전류가 흐르게 된다. 이와 같이 기판전압레벨감지회로 10에서 흐르는 전류는 반도체메모리 장치의 동작에 관계없이 칩이 파워-업(power-up)되어 있는 상태에서는 항상 흐르게 되어 특히 대기시(stand-by state) 동작전류의 소비증가를 초래한다.

한편 다이나믹램과 같이 셀 구조가 동(動)적 구조로 되어 있는 경우, 셀 저장 데이터의 재(再)라이트동작을 위하여 리프레쉬모드(refresh mode)를 하나의 동작모드로서 필수적으로 구비하고 있음은 반도체메모리분야에 이미 널리 알려진 사실이다. 이 중에서도 특히 일정시간 간격으로 리프레쉬를 수행하는 셀프(self)리프레쉬 모드는 통상적으로 채용되고 있는 동작모드이다. 논문 1993 Symposium on VLSI circuits의 페이지 43 내지 44 사이에는 "Low power Self Refresh Mode With Temperature Detecting Circuit"라는 제목하에 셀프리프레쉬모드시에 저전류소비를 실현하는 다이나믹램에 관한 기술을 개시하고 있다. 이 셀프리프레쉬모드시에는 잘 알려진 바와 같이, 활성화(active)상태와 대기(stand-by)상태로 나누어진다. 여기

서 셀프리프레쉬모드시의 활성화상태와 대기상태는 각각 일정한 간격을 가지게 되며, 이는 칩 설계시에 정하여지게 된다. 따라서 이 셀프리프레쉬모드시의 대기상태는 칩 대기상태와는 달리 일정한 간격을 가지고 발생하게 되며, 셀프리프레쉬모드는 칩 대기상태보다 더 길게 유지(실제로 셀프리프레쉬모드시의 대부분을 대기상태가 차지하고 있다.)됨은 주지의 사실이며, 이는 예컨대 상기 논문이나 삼성(SAMSUNG)사의 1992년 및 1993년의 데이터북으로부터 잘 알 수 있다. 이 셀프리프레쉬모드시의 대기상태시에도 전술한 바와 같이 제1도의 기판전압레벨감지회로 10내에서 전원전압 Vcc단자로부터 접지전압 Vss단자로 직류전류가 흐르게 되어 전류 소비를 발생시킨다. 한편 전술한 내용에서 반도체메모리장치가 대기상태로 존재하는 시간이 기판전압발생회로가 동작하는 주기보다 짧거나 비슷하면 대기상태에서는 기판전압발생회로를 동작시킬 필요가 없고 활성화상태에서만 동작시키면 되므로 기판전압에 의한 대기상태의 소비전류의 증가를 없앨 수 있을 것이다. 그러나 통상의 반도체메모리장치의 동작에서는 대기상태 시간이 정해져 있지 않으므로 위와 같은 방법에 의한 대기전류소비의 감소는 불가능하게 된다. 그러나 칩 내부에서 주기를 발생시켜 자체적으로 리프레쉬(refresh)를 시켜주는 전술한 셀프리프레쉬모드에서 대기상태와 활성화상태로 있는 시간이 칩 내부에서 발생되는 주기에 의해 결정되므로, 대기상태로 있는 시간을 알 수 있게 된다. 그러나 이에 불구하고 셀프리프레쉬모드시의 대기상태에서 기판전압레벨감지회로 10으로부터 발생되는 전류소비에

파른 칩 전체의 소비전류 증가는, 저전력을 채용하는 초고집적 반도체메모리장치에

있어서 소비전력의 억제를 방해하는 요소로 평가되어 왔었다.

따라서 본 발명의 목적은 저전력을 소비하는 반도체메모리장치의 구현을 도모

하는 기판전압발생회로를 제공함에 있다.

본 발명의 다른 목적은 셀프리프레쉬모드시에 소비전류를 최대한 억제하는 반
도체메모리장치의 기판전압발생회로를 제공함에 있다.

본 발명의 또다른 목적은 셀프리프레쉬모드의 대기상태시에 소비전류의 발생이

방지되는 기판전압발생회로를 제공함에 있다.

본 발명의 또다른 목적은 셀프리프레쉬모드의 대기상태시에 기판전압레벨감지

회로내에서 직류전류의 발생이 방지되는 기판전압발생회로를 제공함에 있다.

본 발명의 또다른 목적은 셀프리프레쉬모드의 대기상태시에 기판전압레벨감지

회로내에서 직류전류의 발생을 방지함에 의해 반도체메모리장치의 소비전류를 억제

하는 기판전압발생회로를 제공함에 있다.

본 발명의 또다른 목적은 엑티브상태와 대기상태로 이루어지는 셀프리프레쉬모

드를 하나의 동작모드로 가지는 반도체메모리장치에 있어서 상기 대기상태시에 적

어도 기판전압감지동작을 멈춤에 의해 전류소비를 억제하는 반도체메모리장치의 기

판전압발생회로를 제공함에 있다.

이러한 본 발명의 목적들을 달성하기 위하여 본 발명은, 셀프리프레쉬모드

(self-refresh mode)를 가지는 반도체메모리장치에서의 기판에 음(-)전압을 공급하는 기판전압발생회로를 향한 것이다.

상기 본 발명에 의한 기판전압발생회로는, 셀프리프레쉬모드시에 셀프리프레쉬 동작 주기에 동기하여 셀프리프레쉬모드의 활성화시에는 기판전압레벨감지동작이 인에이블되고 셀프리프레쉬모드의 대기상태시에는 기판전압레벨감지동작이 디세이블되는 기판전압레벨감지회로를 구비한다.

상기 본 발명에 의한 기판전압레벨감지회로는, 셀프리프레쉬모드 활성화신호를 입력하는 입력수단과, 이 입력수단의 출력레벨에 대응하여 스위칭제어되어 기판전압레벨감지회로의 기판전압레벨감지동작을 제어하는 스위칭수단을 구비한다. 이하 본 발명의 바람직한 실시예가 첨부된 도면의 참조와 함께 상세히 설명될 것이다.

설명에 앞서 본 발명에 의한 기판전압발생회로는 셀프리프레쉬모드시의 대기상태시에 발생되었던 소비전류를 방지하고자 함을 그 요지로 함을 미리 밝혀두며, 이 점을 주목하여야 할 것이다. 따라서 하기되는 설명중에서 “칩의 활성화상태” 또는 “칩의 대기상태”와 같이 달리 정한 경우를 제외하고는 설명의 편의상 “활성화상태”는 셀프리프레쉬모드의 활성화상태를 의미하고, “대기상태”는 셀프리프레쉬모드시의 대기상태를 의미함을 특히 유의하여야 할 것이다. 그리고 후술되는 신호중에서 “self”는 셀프리프레쉬모드의 인에이블(enable)신호를 나타내고, “fact”는 셀프리

프레쉬모드의 활성화(active)신호를 나타낸다.

제2도는 본 발명에 의한 기판전압레벨감지회로를 구비하는 기판전압발생회로의 개략적 블럭구성을 도시하고 있다. 제2도의 구성에서 점선블럭으로 나타난 부분이 본 발명에서 신규한 구성이며 또한 그 요지로 되는 부분이다. 점선블럭을 제외한 나머지 블럭구성은 제1도의 그것과 동일한 회로구성으로 실시될 수 있음에 의해 도면부호를 동일하게 부여하였다. 제2도의 구성에서 기판전압레벨감지회로 26은 셀프리프레쉬모드시에 셀프리프레쉬 동작 주기에 동기하여 활성화시에는 기판전압레벨감지동작이 인에이블되고 대기상태시에는 기판전압레벨감지동작이 디세이블되는 특성을 가진다. 이러한 동작은 셀프리프레쉬인에이블신호인 ϕ_{self} 와 셀프리프레쉬모드의 활성화신호인 ϕ_{act} 그리고 기판전압레벨감지회로 26의 출력신호를 귀환(feed-back)입력하여 기판전압레벨감지회로 26을 제어하는 기판전압레벨감지 제어회로 28에 의해 결정된다. 따라서 이 제어회로 28의 제어에 따라 기판전압레벨감지회로 26의 구동이 결정되며, 이에 대한 상세한 내용은 후술될 것이다.

한편 본 발명에 대한 보다 전반적인 이해를 용이하게 하기 위해 셀프리프레쉬모드 및 이때의 전류소비에 관한 설명을 하면 다음과 같다. 이 기술분야에 주지의 사실인 바와 같이 기판전압 VBB의 전압을 높여주는 전류는, 접합전류(junction leakage current)와, 트랜지스터가 동작할 때 발생되는 핫캐리어(hot carrier)에 의한 기판전류이다. 그래서 반도체메모리장치가 동작하지 않고 전원만 공급되는 상

태인 칩의 대기상태하에서는 트랜지스터 동작에 의해 발생되는 기판전류는 거의 없고, 접합전류에 의한 성분만 있게 되어 이때 대부분의 시간이 발진회로가 동작하지 않은 상태로 된다. 반도체메모리장치가 칩의 활성화상태로 되면 많은 트랜지스터들이 동작하므로 트랜지스터 동작에 의한 기판전류가 많이 발생하여 기판전압 VBB가 상승하는 쪽으로 진행됨에 의해 기판전압발생회로가 동작하는 시간이 많아진다. 따라서 칩의 대기상태시에 기판전압발생회로의 동작주기는 접합전류에 의해 얼마나 빨리 발진회로의 동작레벨까지 충전시키는가와, 높아진 기판전압 VBB레벨을 얼마나 빨리 소망의 레벨로 떨어뜨릴 수 있는가 하는 전압펌핑회로의 구동능력에 따라 결정된다. 칩의 대기상태에서 기판전압노드의 캐퍼시턴스가 크고 접합전류가 작다면 기판전압발생회로의 동작주기는 길어지게 된다. 한편 전술한 바와 같이 반도체메모리장치가 칩의 대기상태로 존재하는 시간이 기판전압발생회로가 동작하는 주기보다 짧거나 비슷하면 칩의 대기상태에서는 기판전압발생회로를 동작시킬 필요가 없고 칩의 활성화상태에서만 동작시키면 되므로 기판전압에 의한 칩의 대기상태의 소비전류의 증가를 없앨 수 있을 것이다. 따라서 칩 내부에서 주기를 발생시켜 자체적으로 리프레쉬를 시켜주는 셀프리프레쉬모드에서는 대기상태와 활성화상태로 있는 시간이 칩 내부에서 발생되는 주기에 의해 결정되므로, 대기상태로 있는 시간을 알 수 있게 된다. 따라서 대기상태로 있는 시간이 수십 내지 수백 마이크로세컨드(μs)로 기판전압발생회로의 동작주기에 비해 크기 않기 때문에 전술한 바와 같이 대기

상태에서 기판전압발생회로의 동작을 차단시켜 전류를 감소시키는 방법을 적용시킬 수 있게 된다. 셀프리프레쉬모드시에는 활성화상태보다 대기상태로 있는 시간이 대부분이기 때문에, 이때 기판전압발생회로의 동작을 멈추게 하면 대기시 소비전류를 크게 줄일 수 있게 된다.

다시 제2도로 돌아가면, 셀프리프레쉬인에이블신호인 `φself`와 셀프리프레쉬모드에서의 활성화신호인 `φact` 그리고 기판전압레벨감지회로 26의 출력신호를 귀환 입력하는 제어회로 26은, 셀프리프레쉬모드가 인에이블되고 `φact`가 디세이블상태로 되면 기판전압레벨감지회로 26이 구동되지 못하도록 하여 기판전압레벨감지회로 26 내에서 직류전류의 발생을 차단하게 된다. 그리고 셀프리프레쉬모드에서 활성화사 이를로 진입하게 되면, `φact`가 인에이블되고 이로부터 기판전압발생회로의 구동 및 기판전압레벨감지회로 26의 기판전압레벨 검출동작이 이루어진다. 이때 기판전압레벨감지회로 26의 출력신호는 제어회로 28로 귀환입력함에 의해 대기상태로 되더라도 기판전압 VBB가 원하는 레벨까지 될 때까지는 기판전압발생회로가 계속적으로 동작되도록 한다. 이와 같은 일련의 동작에 따르면, 반도체메모리장치가 셀프리프레쉬모드로 진입하게 되면 대기상태에서 기판전압레벨감지회로 26의 구동이 멈추게 되고 활성화사이클에서만 구동이 이루어짐에 의해 기판전압 VBB가 원하는 레벨로 승압될 때 까지만 기판전압발생회로가 인에이블된다. 여기서 셀프리프레쉬모드의 전체 동작시간을 보면 기판전압레벨감지회로 26가 인에이블되어 있는 시간은 거의

무시할 수 있을 정도이므로, 셀프리프레쉬 동작전류에서 기판전압레벨감지회로 26에서 발생되는 직류전류의 성분이 제거된다.

제3도는 제2도의 블럭구성에 따른 기판전압레벨감지회로 26과 그 제어회로 28의 상세회로구성을 보여주는 실시예이다. 제3도의 구성에서 ϕ_{self} 는, 칩 외부(즉, 시스템)로부터 공급되는 로우어드레스스트로우브(row address strobe)신호인 RAS와 컬럼어드레스스트로우브(column address strobe)신호인 CAS의 신호입력 조건에 따라 발생되는 신호로서, 이에 대한 상세한 발생과정은, 본 출원인이 1993년 7월 24일 자로 대한민국에 특허출원한 출원번호 93-13276호(발명의 명칭: 반도체 메모리장치의 셀프리프레시 주기조절회로)에 개시된 기술을 참조할 수 있다. ϕ_{act} 는 RAS와 CAS의 입력에 대응하여 발생되는 셀프리프레쉬모드에서의 활성화신호이다. 제3도의 구성에서 제어회로 28의 구성은, ϕ_{self} 와 인버터 30을 통해 또한 입력하는 ϕ_{act} 를 각각 2입력하는 노아게이트 32와, 기판전압레벨감지회로 26의 출력신호와 노아게이트 32의 출력신호를 각각 입력하는 낸드게이트 34와, 낸드게이트 34의 출력신호를 반전출력하는 인버터 36으로 이루어진다. 기판전압레벨감지회로 26은, 전원전압 Vcc단자에 소오스단자가 접속되고 제어회로 28의 출력신호에 게이트 접속되는 피모오스트랜지스터 38과, 피모오스트랜지스터 40과 접속노드 46과의 사이에 채널이 형성되고 접지전압 Vss단자에 게이트접속되는 피모오스트랜지스터 40과, 접속노드 46에 소오스단자가 접속되고 기판전압 VBB에 게이트접속되는 피모오

스트랜지스터 42와, 피모오스트랜지스터 42와 접지전압 Vss단자와의 사이에 채널이 형성되고 전원전압 Vcc단자에 게이트접속되는 엔모오스트랜지스터와, 접속노드 46에 입력단자가 접속되고 기판전압레벨감지회로 26의 출력신호를 출력하는 인버터 48로 이루어진다.

이와 같은 제3도의 구성에 따른 그 동작특성을 살펴보면 다음과 같으며, 제3도의 동작타이밍도인 제4도를 참조하여 이루어질 것이다.

(i) 먼저 셀프리프레쉬모드가 수행되지 않는 노멀동작시를 살펴본다. 이때에는 제4도의 T1구간과 같이 예컨대 노멀시의 대기상태와 같이, ϕ_{self} 와 ϕ_{act} 가 각각 “로우”신호로 된다. 그래서 노아게이트 32는 인버터 30의 “하이”출력신호를 받아 “로우”출력을 한다. 그러면 낸드게이트 34는 노아게이트 32의 “로우”출력을 받아 노드 24의 전압레벨에 상관없이 “하이”출력을 한다. 인버터 36은 낸드게이트 34의 “하이”출력을 받아 “로우”출력을 한다. 그래서 인버터 36의 출력신호이면서 피모오스트랜지스터 38의 제어신호인 A가 “로우”로 됨에 의해, 제2도의 기판전압레벨감지회로 26은 기판전압 VBB의 감지동작을 계속적으로 수행하도록 인에이블된다. 한편 제2도의 기판전압발생회로는 기판전압레벨감지회로 26이 기판전압 VBB가 원하는 레벨로 승압될 시에는 그 감지동작이 차단되는 과정은 잘 알려진 사실이다.

(ii) 본 발명에 의한 기판전압레벨감지회로가 감지동작을 하지 않는 셀프리프레쉬모드시의 대기상태를 살펴본다. 이때에는 제4도의 T2구간을 참조할 수 있다.

제4도에 도시된 바와 같이, 컬럼어드레스스트로우브신호인 CAS가 토우어드레스스트로우브신호인 RAS보다 먼저 활성화되어 입력되면 칩 내부의 리프레쉬타이머에 의해 셀프리프레쉬모드진입시간 $T_{self-in}$ 이 경과하게 되면 ϕ_{self} 는 “하이”로 그리고 ϕ_{act} 는 “로우”로 된다. 그래서 노아게이트 32는 ϕ_{act} 및 인버터 30의 각 “로우” 출력신호를 받아 “하이” 출력을 한다. 여기서 기판전압 VBB는 이전동작에서 이미 충분히 음전압레벨로 되어 있는 상태이기 때문에 피모오스트랜지스터 42의 도통동작에 의해 노드 46은 “로우”레벨로 되고, 이로부터 인버터 48은 “하이” 출력을 하게 됨을 주목하여야 할 것이다. 따라서 낸드게이트 34는 노아게이트 32의 “하이” 출력 및 노드 24의 “하이” 출력을 받아 “로우” 출력을 한다. 그리고 인버터 36은 낸드게이트 34의 “로우” 출력을 받아 “하이” 출력을 한다. 그래서 신호 A가 “하이”로 됨에 의해, 피모오스트랜지스터 38은 비도통하게 되는 바, 이로부터 제2도의 기판전압레벨감지회로 26은 기판전압 VBB의 감지동작을 멈추게 된다. 제4도의 대기상태 구간 T2는 제4도에 도시된 바와 같이 실제적으로 셀프리프레쉬모드시의 대부분을 차지하게 된다. 따라서 셀프리프레쉬모드시에서 대기상태동안 제2도의 기판전압레벨감지회로 26의 동작이 디세이블됨에 의해 그 전류소비의 억제를 달성할 수 있다.

(iii) 셀프리프레쉬모드시에서 활성화상태를 살펴본다. 이때에는 제4도의 T3구간을 참조할 수 있다. 즉, ϕ_{self} 는 “하이”로 그리고 ϕ_{act} 도 “하이”로 된다. 그래서 노아게이트 32는 ϕ_{act} 의 “하이” 출력신호를 받아 “로우” 출력을 한다. 그러면 낸드게

이트 34는 노아게이트 32의 “로우” 출력을 받아 노드 24의 전압레벨에 상관없이 “하이” 출력을 한다. 인버터 36은 낸드게이트 34의 “하이” 출력을 받아 “로우” 출력을 한다. 그래서 신호 A가 “로우”로 됨에 의해, 제2도의 기판전압레벨감지회로 26은 기판전압 VBB의 감지동작을 계속적으로 수행하도록 인에이블된다.

제3도에 도시된 본 발명에 의한 기판전압발생회로의 기판전압레벨감지회로 26 및 그 제어회로 28은 전술한 본 발명의 기술적 사상에 입각하여 최적으로 실현한 실시예이지만, 이는 예컨대 셀프리프레쉬인에이블신호인 ϕ_{self} 와 칩 활성화인에이블신호인 ϕ_{act} 의 논리를 고려하여 그 회로구성이 다르게 구현될 수 있음은 이 기술 분야에 통상의 지식을 가진자에게는 용이하게 예측될 수 있는 사실이다.

상술한 바와 같이 본 발명에 의한 기판전압발생회로는 기판전압레벨감지회로의 출력신호를 귀환입력하고 셀프리프레쉬인에이블신호인 ϕ_{self} 와 셀프리프레쉬모드에 서의 활성화신호인 ϕ_{act} 의 입력레벨에 따라 기판전압레벨감지회로의 스위칭동작을 제어하는 제어회로를 구비함에 의해, 특히 셀프리프레쉬모드의 대기상태시 기판전압레벨감지회로내에서 발생되는 직류전류의 발생을 방지함에 의해 기판전압발생회로에서의 전류소비를 억제하는 효과가 있다.

4. 특허청구의 범위

1. 발진회로에서 출력하는 발진신호의 입력에 대응하여 기판전압을 승압시키는 전압

펌프회로를 가지는 반도체메모리장치에 있어서, 상기 기판전압을 입력하고 이 입력레벨에 대응하여 상기 발진회로를 구동하는 신호를 출력하는 기판전압레벨감지회로와, 칩 활성화인에이블신호와 셀프리프레쉬모드인에이블신호와 상기 기판전압레벨감지회로의 출력신호를 입력하고 이들의 입력레벨에 대응하여 상기 기판전압레벨감지회로의 스위칭동작을 제어하는 제어회로를 구비함을 특징으로 하는 기판전압발생회로.

2. 제1항에 있어서, 상기 기판전압레벨감지회로가, 전원전압단자에 소오스단자가 접속되고 상기 제어회로의 출력신호에 게이트접속되는 제1피모오스트랜지스터와, 상기 제1피모오스트랜지스터와 소정이 접속노드와의 사이에 형성되는 제1저항과, 상기 접속노드에 소오스단자가 접속되고 상기 기판전압에 게이트접속되는 제2피모오스트랜지스터와, 상기 제2피모오스트랜지스터와 상기 접지전압단자와의 사이에 형성되는 제2저항과, 상기 접속노드에 입력단자가 접속되고 상기 기판전압레벨감지회로의 출력신호를 출력하는 인버터로 이루어짐을 특징으로 하는 기판전압발생회로.

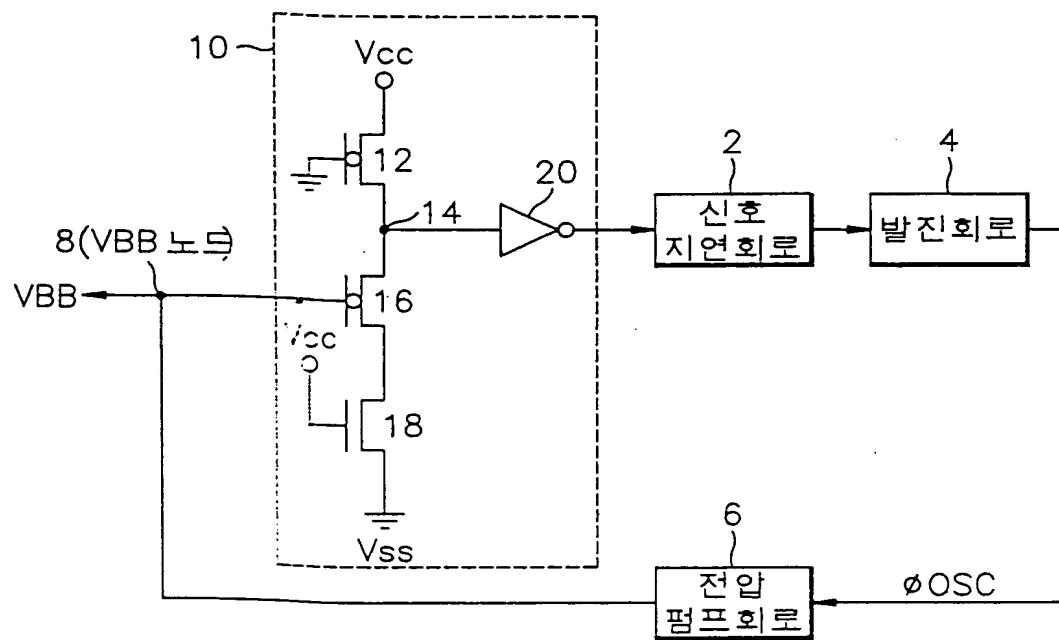
3. 제2항에 있어서, 상기 제어회로가, 상기 칩 활성화인에이블신호의 반전신호와 셀프리프레쉬인에이블신호를 각각 입력하는 노아회로와, 상기 기판전압레벨감지회로의 출력신호와 노아게이트의 출력신호를 각각 입력하여 상기 제1피모오스트랜지스터를 제어하는 앤드회로로 이루어짐을 특징으로 하는 기판전압발생회로.

4. 기판에 음전압을 공급하는 전압펌프회로와 상기 전압펌프회로를 구동하는 발진회로와, 상기 음전압의 전압레벨을 검출하고 이 검출레벨에 대응하여 상기 발진회로를 구동하는 기판전압레벨감지회로를 포함하는 기판전압발생회로를 가지고, 메모리셀들의 리프레쉬를 위한 셀프리프레쉬모드에 따라 상기 메모리셀들의 리프레쉬를 수행하는 반도체메모리장치에 있어서, 상기 기판전압발생회로가, 칩 활성화 인에이블신호와 셀프리프레쉬모드인에이블신호를 입력하는 제1논리회로와, 상기 제1논리회로의 출력신호와 상기 기판전압레벨감지회로의 출력신호를 입력하는 제2논리회로와, 상기 제2논리회로의 출력신호를 게이트입력하고 소오스단자가 전원 전압단자에 접속되어 상기 제2논리회로의 출력신호에 대응하여 상기 기판전압레벨감지회로에 전원전압을 공급하는 피모오스트랜지스터를 구비함을 특징으로 하는 기판전압발생회로.
5. 제4항에 있어서, 상기 제1논리회로가 노아회로로 이루어짐을 특징으로 하는 기판전압발생회로.
6. 제5항에 있어서, 상기 제2논리회로가 앤드회로로 이루어짐을 특징으로 하는 기판전압발생회로.

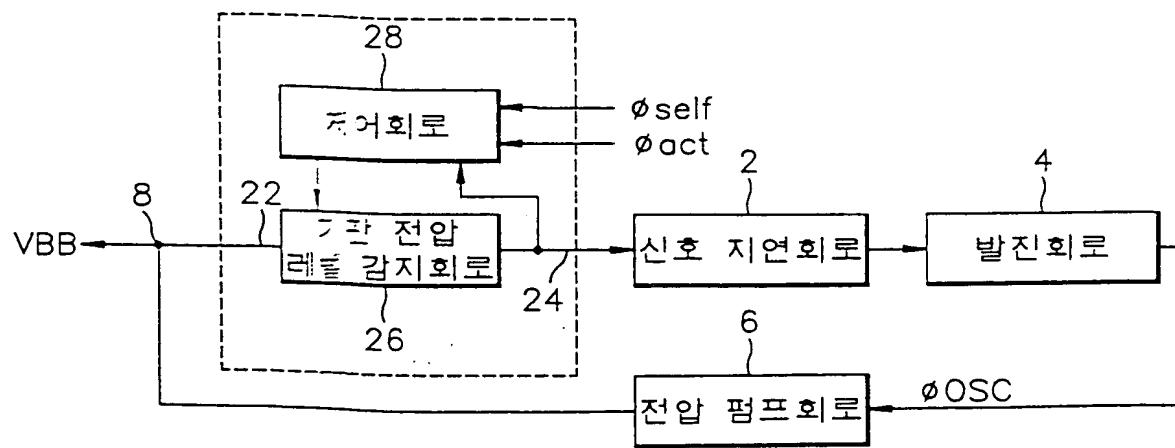
요약서

본 발명은 반도체메모리장치에서 특히 기판에 소정의 음(-)전압을 공급하여 디바이스특성을 안정화시키는 기판전압발생회로에 관한 것으로, 본 발명에 의한 기판전압발생회로는, 셀프리프레쉬모드시에 셀프리프레쉬 동작 주기에 동기하여 활성화시에는 기판전압레벨감지동작이 인에이블되고 대기상태시에는 기판전압레벨감지동작이 디세이블되는 기판전압레벨감지회로를 구비하는 기술을 개시하였다. 이와 같은 본 발명에 의한 기판전압발생회로는 기판전압레벨감지회로의 출력신호를 귀환입력하고 셀프리프레쉬 인에이블신호인 $\phi self$ 와 셀프리프레쉬모드에서의 활성화신호인 ϕact 의 입력레벨에 따라 기판전압레벨감지회로의 스위칭동작을 제어하는 제어회로를 구비함에 의해, 특히 셀프리프레쉬모드의 대기상태시 기판전압레벨감지회로내에서 발생되는 직류전류의 발생을 방지함에 의해 기판전압발생회로에서의 전류소비를 억제하는 효과가 있다.

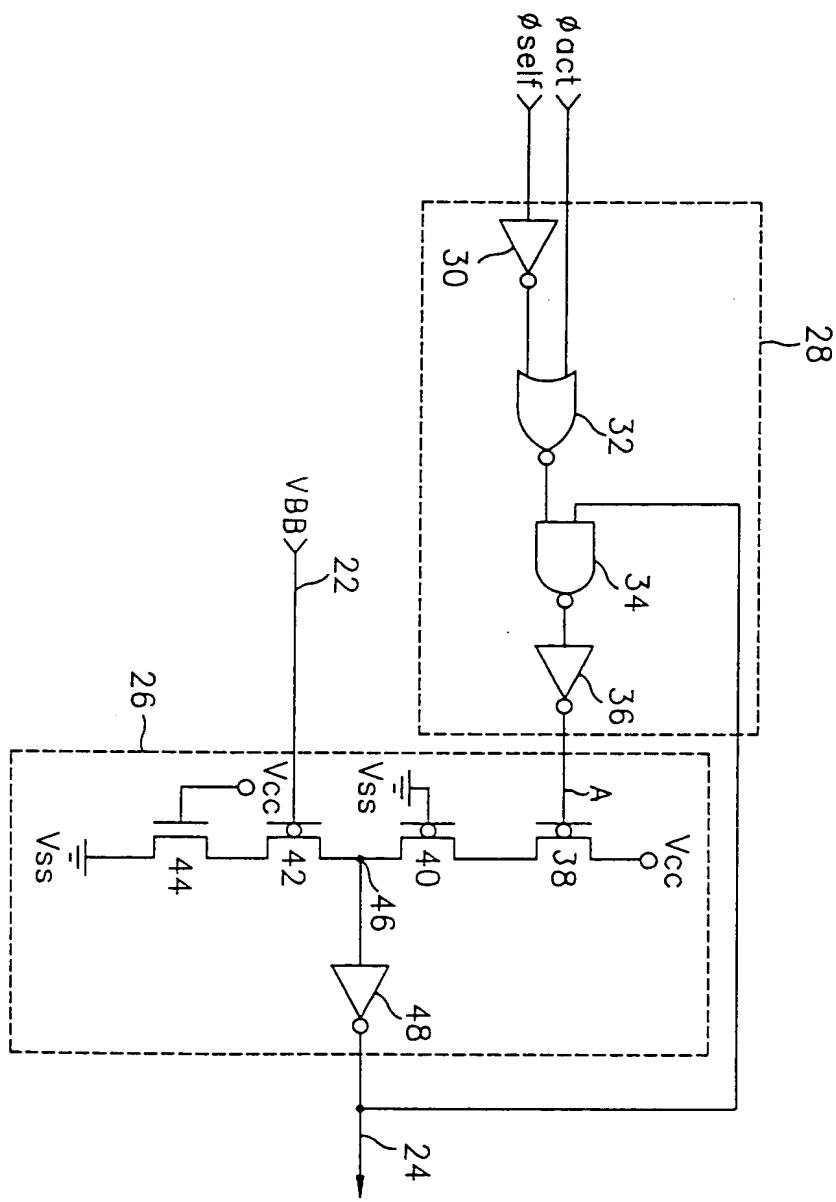
제 1 도

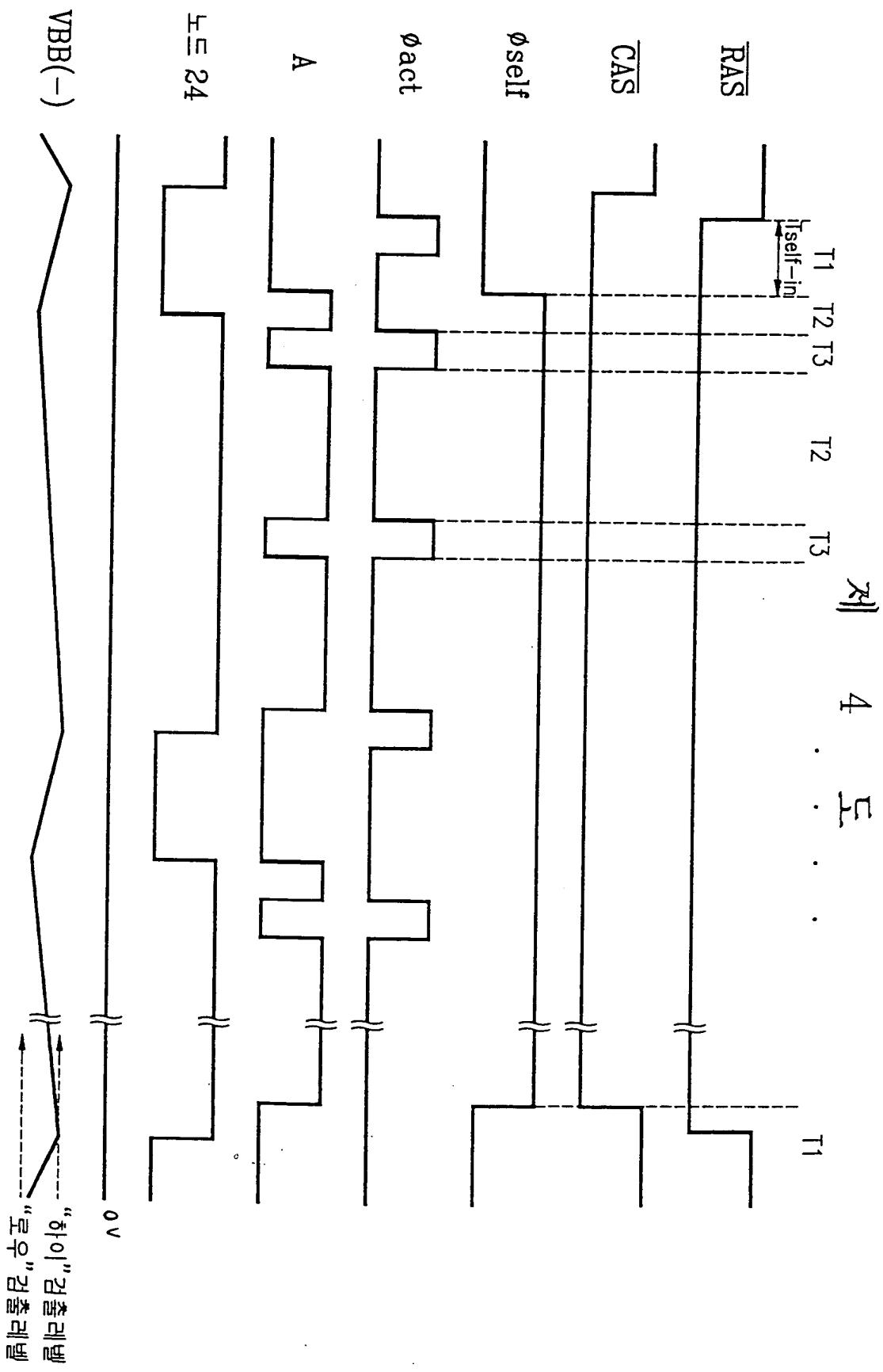


제 2 도



28 3 5





위임장

수임자	성명	이건주		대리인코드	453 H 245
	주소	서울시 강남구 대치동 995-21			
사건의표시	출원번호	특허출원	출원일자	1994. 1. 21.	
	등록번호		등록일자		
발명의명칭	반도체메모리장치의 기판전압발생회로				
위임자	성명	삼성전자주식회사		대표이사	김광호
	주소	경기도 수원시 팔달구 매탄동 416번지			
	사건과의관계	출원인			
위임사항	(1) 상기건에 관한 일체의 행위 및 본건에 관한 포기 또는 취하, 실사청구, 명의변경, 기타의 변경(성명, 등칭, 인감, 주소) 및 갱정, 출원변경, 충명의 청구, 거절사정에 대한 불복 항고심판청구와 그의 답변 및 그 취하, 이의신청 및 이에 대한 답변, 본건에 관한 특허청장의 처분에 대하여 소원 및 행정소송을 제기할 권리와 본건 등록의 전후에 법률 및 규칙에 따라 필요한 모든 행위를 하는 권리				
	(2) 전기 사항을 처리하기 위한 복대리인의 선임 및 해임에 관한 권리				

특허법 제 7 조의 규정에 의하여 위와 같이 위임함.

1994 15.5 5.5 19

41 10 10

삼성전자 주식회사

대표이사 김광

